

**SCHEDA DATI PER OFFERTA FORMATIVA PUBBLICA DI CUI AL PUNTO 1.2
DELLA CIRCOLARE MINISTERIALE N° 187 DELL'11 GIUGNO 2008**

Insegnamento: Modulo: Docente titolare Qualifica SSD di appartenenza Struttura di afferenza Telefono e-mail Orario di ricevimento Sito web docente	C.I. Sistemi Embedded Architetture, Sistemi e Processori per il Digital Signal Processing Prof. Luigi Raffo Professore 1 ° fascia ING-INF/01 Dipartimento di Ingegneria Elettrica ed Elettronica 0706755765 raffo@unica.it su appuntamento per email http://www.diee.unica.it/eolab2/prose.html
Curriculum scientifico	<p>L'attività scientifica si inquadra nell'ideazione, studio, progetto, realizzazione, collaudo e integrazione di architetture di calcolo on-chip. In tale ambito, i risultati di ricerca più significativi riguardano i sistemi multiprocessore (MPSoC), la progettazione e l'ottimizzazione dei relativi sistemi di interconnessione, le tecniche avanzate per la simulazione ad alto livello.</p> <p>E' stato ed e' coordinatore di svariati progetti finanziati dalla Comunita` Europea, Ministero dell'istruzione e ricerca, Agenzia Spaziale Italiana, Regione Sardegna.</p> <p><u>Publicazioni</u></p> <ol style="list-style-type: none"> 1. "Synthesis of Predictable Networks-on-Chip-Based Interconnect Architectures for Chip Multiprocessors"; Murali, S.; Atienza, D.; Meloni, P.; Carta, S.; Benini, L.; De Micheli, G.; Raffo, L.; Very Large Scale Integration (VLSI) Systems, IEEE Transactions on Volume 15, Issue 8, Aug. 2007 Page(s):869 - 880 Digital Object Identifier 10.1109/TVLSI.2007.900742 2. "A Layout-Aware Analysis of Networks-on-Chip and Traditional Interconnects for MPSoCs" Angiolini, F.; Meloni, P.; Carta, S.M.; Raffo, L.; Benini, L.; Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on Volume 26, Issue 3, March 2007 Page(s):421 - 434 Digital Object Identifier 10.1109/TCAD.2006.888287 3. "NoC Design and Implementation in 65nm Technology"; Pullini, A.; Angiolini, F.; Meloni, P.; Atienza, D.; Srinivasan Murali; Raffo, L.; De Micheli, G.; Benini, L.; Networks-on-Chip, 2007. NOCS 2007. First International Symposium on 7-9 May 2007 Page(s):273 - 282 Digital Object Identifier 10.1109/NOCS.2007.30 4. "Routing Aware Switch Hardware Customization for Networks on Chips"; Meloni, P.; Murali, S.; Carta, S.; Camplani, M.; Raffo, L.; De Micheli, G.; Nano-Networks and Workshops, 2006. NanoNet '06. 1st International Conference on Sept. 2006 Page(s):1 - 5 Digital Object Identifier 10.1109/NANONET.2006.346217 5. "Designing Application-Specific Networks on Chips with Floorplan Information"; Murali, S.; Meloni, P.; Angiolini,

	F.; Atienza, D.; Carta, S.; Benini, L.; De Micheli, G.; Raffo, L.; Computer-Aided Design, 2006. ICCAD '06. IEEE/ACM International Conference on Nov. 2006 Page(s):355 - 362 Digital Object Identifier 10.1109/ICCAD.2006.320058					
Contenuto schematico del corso di insegnamento	Tecniche di sviluppo hardware e software di sistemi embedded. Esempi di processori per sistemi embedded. Programmazione e gestione delle periferiche. Gerarchie di memoria. Elementi di calcolo parallelo. Modelli di programmazione. Sincronizzazione. Cache coherency. Architetture di interconnessione.					
Obiettivi formativi e risultati attesi (secondo i descrittori di Dublino)	<p>Verranno presentate le basi della progettazione hardware e software orientata ai sistemi embedded. Successivamente verranno proposte tematiche avanzate, attuali e professionalizzanti, con riferimenti al campo della computazione parallela e dei sistemi multiprocessore. La trattazione degli argomenti più importanti sarà seguita da esercitazioni hands-on mirate all'acquisizione di conoscenze pratiche e di una buona manualità nell'utilizzo dei tool di sviluppo.</p> <p><u>Indicatore conoscenza e capacità di comprensione</u> Grazie al rigore metodologico proprio delle materie scientifiche lo studente matura competenze e capacità di comprensione tali da permettergli di acquisire conoscenze di base fondamentali per il prosieguo degli studi.</p> <p><u>Indicatore capacità di applicare la conoscenza e capacità di comprensione</u> L'impostazione didattica prevede che la formazione teorica sia accompagnata da esempi, applicazioni, che sollecitano la partecipazione attiva, l'attitudine propositiva, la capacità di elaborazione autonoma.</p> <p><u>Indicatore autonomia di giudizio</u> Lo studio delle architetture sviluppa la capacità di valutare i risultati, selezionare quali sono le informazioni rilevanti e quali approssimazioni sono appropriate.</p> <p><u>Indicatore abilità comunicative</u> Lo sviluppo di esercitazioni in gruppo richiede che lo studente acquisisca capacità di comunicare sia i risultati ottenuti sia i problemi incontrati. Il lavoro finale prevede una presentazione formale di fronte a tutti gli studenti, permettendo lo sviluppo sia le capacità necessarie alla divulgazione di risultati scientifici, l'uso della terminologia tecnica del campo delle architetture di calcolo.</p> <p><u>Indicatore capacità di apprendere autonomamente</u> L'utilizzo di tool commerciali di sviluppo e simulazione allo stato dell'arte permette allo studente di auto-apprendere simulando nuove configurazioni architetture, provando soluzioni nuove e sviluppando competenze fondamentali sul funzionamento delle architetture di calcolo.</p>					
Articolazione del corso	<i>Argomento</i>	<table border="1"> <tr> <td colspan="2"><i>Ore</i></td> </tr> <tr> <td>Lez.</td> <td>Eserc.</td> </tr> </table>	<i>Ore</i>		Lez.	Eserc.
<i>Ore</i>						
Lez.	Eserc.					

	1. Parallelismo e gerarchie di memoria		
	Classificazione di Flynn, concetti di parallelismo applicato ai processori (ILP, DLPe TLP), richiami sul Pipelining Processori Superscalari, processori VLIW, cenni sulle architetture Tile-Based, esempi di Chip Multi-Processor, architetture per il DSP Gerarchia di Memoria, Cache	6	10
	2. Elementi di calcolo multiprocessore		
	Multiprocessors System On Chip: introduzione, modelli di memoria, cache coherency, sincronizzazione, modello di programmazione, esempi Soluzioni classiche per l'interconnessione: AMBA Soluzioni alternative per l'interconnessione: Network on Chip	12	6
Propedeuticità	Le conoscenze impartite nei corsi obbligatori di progettazione elettronica		
Anno di corso e semestre	2° anno, 1°sem.		
Testi di riferimento	Materiale del docente sul sito del corso.		
Modalità di erogazione dell'insegnamento	Tradizionale		
Modalità di frequenza	Facoltativa		
Metodi di valutazione	Prova scritta più presentazione lavoro di gruppo		
Organizzazione della didattica	30 ore di cui 18 ore di lezione e 12 ore di esercitazione		