

**SCHEDA DATI PER OFFERTA FORMATIVA PUBBLICA DI CUI AL PUNTO 1.2
DELLA CIRCOLARE MINISTERIALE N° 187 DELL'11 GIUGNO 2008**

Insegnamento: N° crediti/n° ore Docente titolare: Qualifica SSD di appartenenza del docente Struttura di afferenza Telefono e-mail Orario di ricevimento Sito web docente	Sistemi Digitali e Processori 10 CFU/100 ore Prof. Luigi RAFFO Professore 1° fascia ING-INF/01 Dipartimento di Ingegneria Elettrica ed Elettronica 070 6755765 mailto:raffo@unica.it mercoledì` 17-19 http://www.diee.unica.it/eolab2
Curriculum scientifico	<p>Carriera</p> <p>Luigi Raffo ha ottenuto la laurea in Ingegneria Elettronica presso l'Università di Genova nel 1989 (con lode) e il dottorato di ricerca in elettronica e informatica nel 1994 presso la stessa Università. Nel 1994 ha preso servizio come ricercatore presso il Dipartimento di Ingegneria Elettrica ed Elettronica dell'Università di Cagliari. Nel 1998 ha preso servizio come professore associato e dal 2006 è professore straordinario del settore scientifico disciplinare ING-INF/01 – Elettronica presso la stessa Università.</p> <p>Attività di docenza</p> <p>È docente di corsi sulla progettazione di sistemi digitali, sistemi embedded e processori per il corso di laurea in Ingegneria Elettronica, corsi di progettazione elettronica di base sia analogica che digitale per il corso di laurea in Ingegneria Biomedica.</p> <p>Attività scientifica</p> <p>È autore di più di 80 pubblicazioni scientifiche nel settore. L'attività scientifica si inquadra nell'ambito dei Sistemi Microelettronici. Essa consiste nell'ideazione, studio, progetto, realizzazione, collaudo e integrazione di sistemi microelettronici, con enfasi su elaborazione on-chip di dati sensoriali e sistemi ad alte prestazioni in presenza di vincoli stringenti di ridotta occupazione di area e bassa dissipazione di potenza. In tale ambito, i risultati di ricerca più significativi riguardano microsistemi integrati in configurazione stand-alone (in particolare di sistemi basati sulla cooperazione di elementi elaborativi semplici e di sistemi per l'elaborazione del segnale) e sistemi digitali avanzati (in particolare per applicazioni di elaborazione dell'immagine e la codifica, e tematiche come riconfigurabilità e networking on chip).</p> <p>Settori applicativi di interesse sono quelli dei dispositivi multimediali e biomedicali.</p> <p>È stato ed è coordinatore generale o di unità locale di svariati progetti finanziati dalla Comunità Europea, Ministero dell'istruzione e ricerca, Agenzia Spaziale Italiana, Regione Sardegna.</p> <p>È stato responsabile di progetti industriali sia locali, nazionali ed internazionali.</p> <p>Attività organizzativa</p> <p>È Presidente del Corso di Laurea in Ingegneria Biomedica.</p>

	<p>E` responsabile di accordi internazionali di scambio di ricercatori e studenti. Dieci pubblicazioni rilevanti</p> <ol style="list-style-type: none"> 1. G. Angius, D.Pani, L.Raffo, P. Randaccio, S. Seruis, "A tele-home care system exploiting the DVB-T technology and MHP", <i>Methods of Information in Medicine</i> 2008 47 3: 223-228 2. S. Muceli, D. Pani, L. Raffo. "Real-time fetal ECG extraction with JADE on a floating point DSP". <i>Electronics Letters</i>, Vol 43, Number 18, 31th August 2007 3. P.Meloni, I.Loi, F.Angiolini, S.Carta, M.Barbaro, L.Raffo, L.Benini. "Area and Power Modeling for Networks-on-Chip with Layout Awareness", <i>VLSI Design</i>, vol. 2007, Article ID 50285, 12 pages, 2007 4. F.Angiolini, P.Meloni, S.Carta, L.Benini, L.Raffo. "A Layout-Aware Analysis of Networks-on-Chip and Traditional Interconnects for MPSoCs", <i>IEEE Transactions On Computer Aided Design</i>, vol. 26, March 2007, pp. 421-434 5. S.Murali, P.Meloni, F.Angiolini, D.Atienza, S.Carta, L. Benini, L.Raffo, G. De Micheli. "Complete Tool Flow for Designing Networks-on-Chips Based Communication Architectures for Application-Specific Systems-on-Chips". <i>IEEE Transactions On VLSI</i> 6. M. Barbaro, A. Bonfiglio, L. Raffo, A. Alessandrini, P. Facci, I. Barák, "A CMOS, Fully Integrated Sensor for Electronic Detection of DNA Hybridization", <i>IEEE Electron Devices Letters</i>, 2006, Vol. 27, issue 7, July 2006, pp. 595-597 7. S.M. Carta, D. Pani, L. Raffo, "Reconfigurable Coprocessor for Multimedia Application Domain", <i>Journal of VLSI Signal Processing Systems</i>, Vol. 44, Issue 1-2, August 2006, pp. 135-152 8. D. Pani, L. Raffo, "Stigmergic approaches applied to flexible fault-tolerant digital VLSI architectures", <i>Journal of Parallel and Distributed Computing</i>, Volume 66, Issue 8, (August 2006), pp. 1014-1024 9. M. Barbaro, A. Bonfiglio, L. Raffo, "A Charge-Modulated FET for Detection of Biomolecular Processes: Conception, Modeling and Simulation", <i>IEEE Transactions on Electron Devices</i>, 2006, Vol. 53, No. 1, January 2006, pp. 158-166 10. M. Barbaro, L. Raffo, "A Low-Power Integrated Smart Sensor with on-Chip Real-Time Image Processing Capabilities ", <i>EURASIP Journal on Applied Signal Processing</i>, 2005, Vol. 7, pp. 1062-1070
<p>Contenuto schematico del corso di insegnamento</p>	<p>Circuiti digitali, simulazione e verifica con HDL Realizzazione di sistemi digitali Sintesi di sistemi digitali Dispositivi programmabili Macchine a stati Architetture e progetto di processori</p>
<p>Obiettivi formativi e risultati attesi (secondo i descrittori di Dublino)</p>	<p>Vedi regolamento</p>

Articolazione del corso	Argomento	Ore	
		Lez.	Eserc.
	1. Circuiti digitali, simulazione e verifica con HDL		
	Richiami sulla progettazione con HDL. Reti combinatorie e sequenziali. Importanza del testbench. Tempi tipici di un circuito digitale. Reti asincrone e sincrone. Frequenza massima di un circuito. Datapath e controllo.	15	5
	2. Realizzazione di sistemi digitali		
	Implementazione su silicio. Dispositivi Programmabili. Flusso di progetto su FPGA. Prototipazione su dispositivi programmabili.	5	0
	3. Sintesi di sistemi digitali		
	Flusso di progetto top-down. Concetto di libreria. Sintesi RTL. Circuiti completamente sintetizzabili. Costrutti supportati completamente per la sintesi Costrutti non accettati. Operatori sintetizzabili. Area/DelayTrade-off. Sintesi di blocchi condizionali non-full. Progetto di moduli singoli.	20	5
	4. Dispositivi programmabili		
	Il flusso di progetto di un sistema digitale. Importanza della progettazione di sistema. I dispositivi programmabili. La famiglia Spartan Iie - Xilinx. Simulazione di circuiti implementati. Time-simulation e time-back-annotation.	5	5
	5. Macchine a stati per il controllo		
	Analisi e progetto di macchine a stati finiti. Macchine di Mealy e di Moore. Analisi e Sintesi. Descrizione strutturale e algoritmica in Verilog. Inizializzazione, simulazione, esempi di analisi e progetto. Datapath e controllo, progettazione di sistemi d'esempio.	5	15
	6. Architetture e progetto di processori		
	Introduzione alle architetture e microarchitetture di processori Microarchitetture di processori reali: il processore MIPS. Periferiche standard, architetture di comunicazione, modalità di interfaccia Cenni di microarchitetture avanzate: DSP, superscalare, VLIW Microarchitetture di processori reali: la famiglia di processori ARM.	15	5
Propedeuticità	Le conoscenze impartite nei corsi di elettronica digitale e calcolatori elettronici.		
Anno di corso e semestre	1° anno/ 1° sem.		
Testi di riferimento	Materiale del docente sul sito del corso. D.R. Smith, P.D. Franzon - "Verilog styles for synthesis of digital systems" - Prentice Hall - ISBN 0-201-61860-5		
Modalità di erogazione dell'insegnamento	Tradizionale		
Modalità di frequenza	Facoltativa		
Metodi di valutazione	Prova scritta di progetto e orale		

Organizzazione della didattica	100 ore, di cui 65 ore di lezione e 35 ore di esercitazione
Calendario prove d'esame	https://webstudenti.unica.it/esse3/ListaAppelliOfferta.do;jsessionid=5BB9895F4434F3A7ACF11F5CE763DD3F